具有 ±70V 总线故障保护、信号改善功能 (SIC) 和待机模式的 CAN 收发器

UMCAN1472VS8 *SOP8*
UMCAN1472NS8 *SOP8*
UMCAN1472VDA *DFN8 3.0×3.0*
UMCAN1472NDA *DFN8 3.0×3.0*

1 描述

UMCAN1472 是一款高速 CAN 收发器，提供控制器局域网 (CAN) 协议控制器与物理双线 CAN 总线之间的接口。该收发器专为汽车行业的高速 CAN 应用而设计，为（配备 CAN 协议控制器的）微控制器提供差分收发功能。

UMCAN1472 具备增强的电磁兼容性 (EMC) 和静电放电 (ESD) 性能，并具有以下特性：

- ±70V 总线故障保护
- 电源电压关闭时， CAN 总线具有良好的无源特性
- 具有总线唤醒功能的超低电流待机模式
- 即使没有共模扼流圈，也具有出色的电磁兼容 (EMC) 性能
- 带由 V_{IO} 引脚的型号可直接与 3.3 V 和 5 V 电源电压的微控制器连接

UMCAN1472 收发器实现了 ISO 11898-2:2024 第三版以及 SAE J2284-1 至 SAE J2284-5 标准中定义的 CAN 物理层，并与高速经典 CAN 和 CAN FD 收发器完全互操作。UMCAN1472 具备 ISO 11898-2:2024 参数集 C 中定义的 CAN 信号改善功能（SIC）。CAN 信号改善功能可显著减少网络中的信号振铃，允许 CAN FD 通信在更大的拓扑结构中实现可靠运行。此外，UMCAN1472 还具备更严格的位时间对称性性能，可支持高达 8 Mbit/s 的 CAN FD 通信。这些特性使 UMCAN1472 成为所有 HS-CAN 网络中的绝佳选择，适用于需要通过总线实现唤醒功能的待机模式节点。

2 应用

- 汽车行业中的高速 CAN 应用
- 基础设施和农业设备
- 电梯
- 联网传感器/执行器

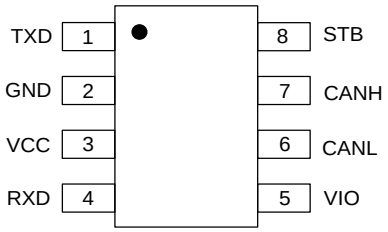
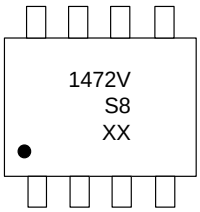
3 特性

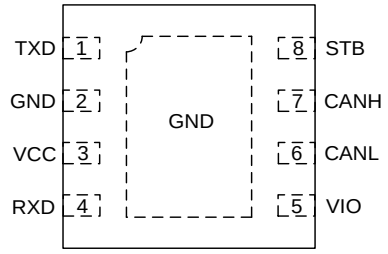
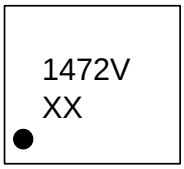
- 完全符合 ISO 11898-2:2024、SAE J2284-1 至 SAE J2284-5 以及 SAE J1939-14 标准
- 保护特性：
  - ±70V 总线故障保护
  - ±8kV IEC 61000-4-2 接触放电
- 超低电流待机模式，具有本地及总线唤醒功能
- 具备信号改善功能 (SIC)
- 低电磁辐射 (EME) 和高电磁抗扰度 (EMI)，符合拟议的 EMC 标准 IEC 62228-3 和 SAE J2962-2
- 数据传输速率高达 8 Mbps

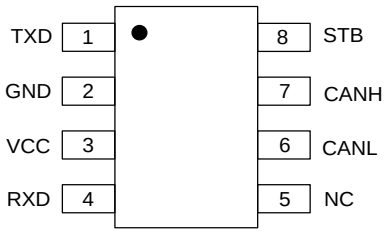
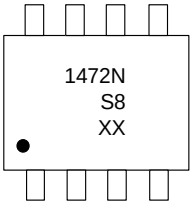
4 订购信息

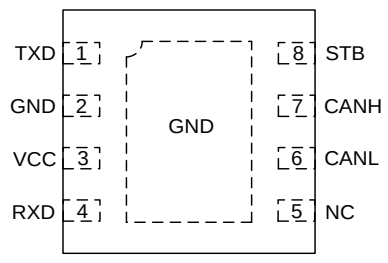
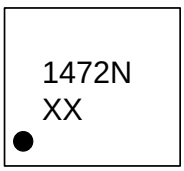
器件型号	丝印编码	封装类型	发货数量
UMCAN1472VS8	1472VS8	SOP8	3000pcs/13Inch Tape & Reel
UMCAN1472VDA	1472V	DFN8 3.0×3.0	3000pcs/13Inch Tape & Reel
UMCAN1472NS8	1472NS8	SOP8	3000pcs/13Inch Tape & Reel
UMCAN1472NDA	1472N	DFN8 3.0×3.0	3000pcs/13Inch Tape & Reel

5 引脚配置和功能

<table>
<tr>
<td>
</td>
<td>

XX：Week Code
UMCAN1472VS8
SOP8</td>
</tr>
<tr>
<td>
</td>
<td>

XX：Week Code
UMCAN1472VDA
DFN8 3.0×3.0</td>
</tr>
<tr>
<td>
</td>
<td>

XX：Week Code
UMCAN1472NS8
SOP8</td>
</tr>
<tr>
<td>
</td>
<td>

XX：Week Code
UMCAN1472NDA
DFN8 3.0×3.0</td>
</tr>
</table>

5 引脚配置和功能（续）

表 5-1. 引脚功能

引脚编号	符号	描述
1	TXD	数据发送输入
2	GND	接地（注 1）
3	V_{CC}	电源电压
4	RXD	接收数据输出；从总线读取数据
5	NC	在 UMCAN1472NS8 和 UMCAN1472NDA 版本中未连接
	V_{IO}	UMCAN1472VS8 和 UMCAN1472VDA 版本中 I/O 电平转换器的电源电压
6	CANL	低电平 CAN 总线
7	CANH	高电平 CAN 总线
8	STB	待机模式控制输入

注 1：DFN8 封装的芯片电源地同时连接至 GND 引脚和裸露的中心焊盘。GND 引脚必须焊接至电路板地。为提高热性能和电气性能，建议将裸露的中心焊盘也焊接至电路板地。

6 规格

6.1 绝对最大额定值（注 1、2、3）

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{CC}	总线电源电压		-0.3		+7	V
V_{IO}	逻辑 I/O 电源电压		-0.3		+7	V
V_{BUS}	CANH、CANL 上的电压范围		-70		+70	V
V_{DIF}	CANH 与 CANL 之间的电压范围		-40		40	V
V_I	STB 上的电压范围	注 4	-0.3		V_{IO}+0.3	V
	TXD 上的电压范围	注 4	-0.3		V_{IO}+0.3	V
V_O	RXD 上的电压范围	注 4	-0.3		V_{IO}+0.3	V
V_{trt}	CANH、CANL 上的瞬态电压（注 5）	脉冲 1	-100			V
		脉冲 2a			+75	V
		脉冲 3A	-150			V
		脉冲 3b			+100	V
V_{ESD}	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准	所有引脚		±8		kV
	接触放电，符合 IEC 61000-4-2	总线引脚		±8		kV
I_{LU}	闩锁效应，符合 JEDEC JESD78	II 类		200		mA
T_{VJ}	虚拟结温		-40		150	℃
T_{STG}	贮存温度		-55		150	℃

注 1：超出绝对最大额定值范围运行可能会导致器件永久性损坏。绝对最大额定值并不意味着器件在这些条件或“推荐工作条件”所列范围以外的任何其他条件下仍能正常工作。如果在推荐工作条件之外但绝对最大额定值范围内使用，器件可能无法完全正常工作，这可能会影响器件的可靠性、功能、性能，并缩短器件的使用寿命。
注 2：除差分 I/O 总线电压外，所有电压值均相对于地端。
注 3：在无 VIO 产品型号中，V_{IO}= V_{CC}。
注 4：最大电压不能超过 7 V。
注 5：已由外部测试机构根据 IEC TS 62228 第 4.2.4 节进行验证；标准脉冲的参数定义见 ISO 7637。

6.2 推荐工作条件

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{CC}	总线电源电压		4.5		5	V
V_{IO}	逻辑 I/O 电源电压		2.9		5	V
T_A	运行环境温度		-40		125	℃

6.3 电气特性（注 1）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
电源；VCC 引脚						
$V_{UVD(STB)}$	VCC 待机欠压检测电压		3	3.6	4.5	V
$V_{UVD(SWOFF)VCC}$	VCC 关断欠压检测电压	无 VIO 的型号	1.2	1.5	2.5	V
I_{CC}	电源电流	无 VIO 的型号；STB = V_{CC}；TXD = V_{CC}		10	17.5	uA
		带 VIO 的型号；STB = V_{IO}；TXD = V_{IO}		0.4	1	uA
		STB = 0 V；TXD = V_{IO}		4	10	mA
		STB = 0 V；TXD = 0 V	20	40	60	mA
		STB = 0 V；TXD = 0 V；总线短路；-3V < (CANH=CANL) < 18V		73	110	mA
I/O 电平适配器供电；VIO 引脚						
$V_{UVD(SWOFF)VIO}$	VIO 关断欠压检测电压	带 VIO 的型号	1.2	1.5	2.5	V
I_{IO}	VIO 电源电流	STB = V_{IO}；TXD = V_{IO}		8.5	20	uA
		STB = 0 V；TXD = V_{IO}	5	10	35	uA
		STB = 0 V；TXD = 0 V		70	300	uA
待机模式控制输入；STB 引脚						
V_{IH}	高电平输入电压		0.7V_{IO}			V
V_{IL}	低电平输入电压				0.3V_{IO}	V
I_{IH}	高电平输入电流	STB = V_{IO}	-1		1	uA
I_{IL}	低电平输入电流	STB = 0 V	-15		-1	uA

6.3 电气特性（注 1）（续）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
CAN 发送数据输入；TXD 引脚						
V_{IH}	高电平输入电压		0.7V_{IO}			V
V_{IL}	低电平输入电压				0.3V_{IO}	V
I_{IH}	高电平输入电流	TXD = V_{IO}	-5		5	uA
I_{IL}	低电平输入电流	TXD = 0 V	-270	-60	-30	uA
C_I	输入电容			5	10	pF
CAN 接收数据输出；RXD 引脚						
I_{OH}	高电平输出电流	RXD = V_{IO} - 0.4 V	-9	-3	-1	mA
I_{OL}	低电平输出电流	RXD = 0.4V	1	3	12	mA
驱动器						
$V_{O(DOM)}$	显性输出电压	STB = 0 V；TXD = 0 V；t < $t_{TO(DOM)TXD}$；V_{CC}=4.75V 至 5.25V				
		50 Ω ≤ R_L≤ 65 Ω；CANH 引脚	2.75	3.5	4.5	V
		50 Ω ≤ R_L ≤ 65 Ω；CANL 引脚	0.5	1.5	2.25	V
$V_{OD(DOM)}$	显性差分输出电压	STB = 0 V；TXD = 0 V；t < $t_{TO(DOM)TXD}$；V_{CC}=4.75V 至 5.25V				
		50 Ω ≤ R_L≤ 65 Ω	1.5		3	V
		45 Ω ≤ R_L≤ 70 Ω	1.4		3.3	V
		R_L = 2240 Ω	1.5		5	V

6.3 电气特性（注 1）（续）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
$V_{SYM(DOM)}$	显性输出电压对称性，V_{CC} - CANH – CANL	STB = 0 V；TXD = 0 V；t < $t_{TO(DOM)TXD}$；R_L = 60 Ω	-400		-400	mV
$V_{CM(STEP)}$	共模电压阶跃值	参见图 7-4	-150		150	mV
$V_{CM(PP)}$	共模电压峰峰值	参见图 7-4	-300		300	mV
$V_{O(REC)}$	隐性输出电压	STB = 0 V；TXD = V_{IO}；R_L = 开路	2	0.5V_{CC}	3	V
		STB = 0 V；TXD = V_{IO}；R_L = 60 Ω	2.137		2.887	V
$V_{OD(REC)}$	隐性差分输出电压	STB = 0 V；TXD = V_{IO}；R_L = 开路	-50		-50	mV
$V_{O(STB)}$	总线输出电压，待机模式	STB = V_{IO}；TXD = V_{IO}；R_L = 开路	-100		-100	mV
$V_{OD(STB)}$	总线差分输出电压，待机模式	STB = V_{IO}；TXD = V_{IO}；R_L = 开路	-200		200	mV
$V_{SYM(TX)}$	驱动器输出电压对称性，(CANH + CANL)/V_{CC}	STB = 0 V；TXD = 250 kHz、1 MHz、2.5 MHz；R_L = 60 Ω；C_{SPLIT} = 4.7 nF；参见图 7-2	0.9V_{CC}		1.1V_{CC}	V
$I_{OS(DOM)}$	显性短路输出电流	STB = 0 V；TXD = 0 V；VCC = 5 V；CANH = -15 V 至 40 V；CANL = 开路	-100	-70		mA
		STB = 0 V；TXD = 0 V VCC = 5 V；CANL = -15 V 至 40 V；CANH = 开路		70	-100	mA
$I_{OS(REC)}$	隐性短路输出电流	STB = 0 V；TXD = V_{IO}；-27 V ≤ CANH = CANL ≤ 32 V	-5		5	mA
接收器						
V_{TH}	差分接收器阈值电压，正常模式	STB = 0 V；-30 V ≤ CANH, CANL ≤ 30 V	0.5		0.9	V
$V_{ID(DOM)}$	接收器显性电压，正常模式	STB = 0 V；-30 V ≤ CANH、CANL ≤ 30 V	0.9		9	V
$V_{ID(REC)}$	接收器隐性电压，正常模式	STB = 0 V；-30 V ≤ CANH, CANL ≤ 30 V	-4		0.5	V
V_{HYS}	差分接收器迟滞电压，正常模式	STB = 0 V；-30 V ≤ CANH, CANL ≤ 30 V	-50		300	mV

6.3 电气特性（注 1）（续）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
$V_{TH(STB)}$	差分接收器阈值电压，待机模式	STB = V_{IO}；-30 V ≤ CANH, CANL ≤ 30 V	0.4		1.15	V
$V_{ID(DOM)STB}$	接收器显性电压，待机模式	STB = V_{IO}；-30 V ≤ CANH, CANL ≤ 30 V	1.15		9	V
$V_{ID(REC)STB}$	接收器隐性电压，待机模式	STB = V_{IO}；-30 V ≤ CANH, CANL ≤ 30 V	-4		0.4	V
$I_{LKG(PD)}$	未供电时总线输入漏电流	V_{CC} = V_{IO} = 0 V 或通过 47 kΩ 短接至 GND；CANH = CANL = 5 V	-5		5	uA
R_I	输入电阻	STB = 0 V；TXD = V_{IO} ；-2 V ≤ CANH, CANL ≤ 7 V	15	30	40	kΩ
ΔR_I	输入电阻偏差，[1 – ($R_{IN(CANH)}$/ $R_{IN(CANL)}$)] × 100 %		-3		3	%
R_{ID}	差分输入电阻		30	60	80	kΩ
C_{IN}	对地共模输入电容				20	pF
C_{ID}	差分输入电容				10	pF
$R_{I(ACTREC)}$	主动隐性阶段输入电阻（注 2）	总线显性到隐性位转换 2V ≤ V_{CANH} ≤ V_{CC} -2V; 2V ≤ V_{CANL} ≤ V_{CC} -2V; $R_{I(DIF)ACTREC}$ = $R_{I(ACTREC)CANH}$ + $R_{I(ACTREC)CANL}$（注 3）	37.5		62.5	Ω
$R_{I(DIF)ACTREC}$	主动隐性阶段差分输入电阻（注 2）		75		125	Ω
过热保护						
$T_{J(SD)}$	热关断阈值			185		℃

注 1：在无 VIO 产品型号中，V_{IO} = V_{CC}。

注 2：主动隐性阶段并非直流状态，仅在引脚 TXD 发生从显性到隐性转换后的有限时间内有效。规定的最大值低于 ISO11898-2:2024 参数集 C 中的规定值（建议采用较低值）。

注 3：这些条件和规定的最大值更为严格，因此优于 ISO11898-2:2024 参数集 C 中的规定。

6.4 开关特性（注 7）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
符合 ISO 11898-2:2024 的 CAN 时序特性；参见图 7-1 和图 7-3						
$t_{D(TXDL-RXDL)}$	从 TXD 低电平到 RXD 低电平的延迟时间	STB = 0 V			255	ns
$t_{D(TXDH-RXDH)}$	从 TXD 高电平到 RXD 高电平的延迟时间	STB = 0 V			255	ns
符合 ISO 11898-2:2024 的 CAN 时序特性；V_{CC} = 4.75 V 至 5.25 V；参见图 7-1、图 7-3 和图 7-5						
$t_{D(TXD-BUSDOM)}$	从 TXD 到总线显性的延迟时间	STB = 0 V			80	ns
$t_{D(TXD-BUSREC)}$	从TXD 到总线隐性的延迟时间	STB = 0 V			80	ns
$t_{D(BUSDOM-RXD)}$	从总线显性状态到RXD的延迟时间	STB = 0 V			110	ns
$t_{D(BUSREC-RXD)}$	从总线隐性状态到RXD 的延迟时间	STB = 0 V			110	ns
$t_{D(TXDL-RXDL)}$	从 TXD 低电平到 RXD 低电平的延迟时间	STB = 0 V			190	ns
$t_{D(TXDH-RXDH)}$	从 TXD 高电平到 RXD 高电平的延迟时间	STB = 0 V			190	ns
$t_{D(TXD-BUSPASREC)START}$	从 TXD 到总线隐性起始的延迟时间	STB = 0 V			530	ns
$t_{D(TXD-BUSACTREC)START}$	从 TXD 到总线隐性活动状态起始的延迟时间	STB = 0 V			120	ns
$t_{D(TXD-BUSACTREC)END}$	从 TXD 到总线隐性低电平结束的延迟时间	STB = 0 V	355			ns
符合 ISO 11898-2:2024 参数集 C 的 CAN FD 时序特性（$t_{BIT(TXD)}$ ≥ 125 ns，最高 8 Mbit/s）；V_{CC}= 4.75 V 至 5.25 V；参见图 7-1 和图 7-3（注 2）						
$\Delta t_{BIT(BUS)}$	发送的隐性位宽时间差	$\Delta t_{BIT(BUS)} = t_{BIT(BUS)} - t_{BIT(TXD)}$	-10		10	ns
Δt_{REC}	接收器时序对称性	$\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$	-20		-15	ns
$\Delta t_{BIT(RXD)}$	接收的隐性位宽时间差	$\Delta t_{BIT(RXD)} = t_{BIT(RXD)} - t_{BIT(TXD)}$	-30		20	ns

6.4 开关特性（注 7）（续）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
符合 ISO 11898-2:2016 和 ISO 11898-2:2024 的 CAN FD 时序特性；V_{CC} = 4.75 V 至 5.25 V；参见图 7-1 和图 7-3						
$t_{BIT(BUS)}$	发送的隐性位宽时间	2 Mbit/s ($t_{BIT(TXD)}$ = 500 ns)	490		510	ns
		5 Mbit/s ($t_{BIT(TXD)}$ = 200 ns)	190		210	ns
$t_{BIT(RXD)}$	RXD 引脚上的位时间（注 1）	2 Mbit/s ($t_{BIT(TXD)}$ = 500 ns)	470		520	ns
		5 Mbit/s ($t_{BIT(TXD)}$ = 200 ns)	170		220	ns
$\Delta t_{BIT(BUS)}$	发送的隐性位宽时间差	2 Mbit/s ($t_{BIT(TXD)}$ = 500 ns) $\Delta t_{BIT(BUS)} = t_{BIT(BUS)} - t_{BIT(TXD)}$	-65		-30	ns
Δt_{REC}	接收器时序对称性	2 Mbit/s ($t_{BIT(TXD)}$ = 500 ns) $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$	-65		40	ns
$\Delta t_{BIT(RXD)}$	接收的隐性位宽时间差	2 Mbit/s ($t_{BIT(TXD)}$ = 500 ns) $\Delta t_{BIT(RXD)} = t_{BIT(RXD)} - t_{BIT(TXD)}$	-100		-50	ns
$\Delta t_{BIT(BUS)}$	发送的隐性位宽时间差	5 Mbit/s ($t_{BIT(TXD)}$ = 200 ns) $\Delta t_{BIT(BUS)} = t_{BIT(BUS)} - t_{BIT(TXD)}$	-45		10	ns
Δt_{REC}	接收器时序对称性	5 Mbit/s ($t_{BIT(TXD)}$ = 200 ns) $\Delta t_{REC} = t_{BIT(RXD)} - t_{BIT(BUS)}$	-45		-15	ns
$\Delta t_{BIT(RXD)}$	接收的隐性位宽时间差	5 Mbit/s ($t_{BIT(TXD)}$ = 200 ns) $\Delta t_{BIT(RXD)} = t_{BIT(RXD)} - t_{BIT(TXD)}$	-80		20	ns
显性超时时间；引脚 TXD（注 3）						
$t_{TO(DOM)TXD}$	TXD 显性超时时间	STB = 0 V； TXD = 0 V	0.8		9	ms
总线唤醒时间；引脚 CANH 和 CANL；参见图 9-3（注 3、4）						
$t_{WK(BUSDOM)}$	总线显性唤醒时间	STB = V_{IO}	0.5		1.8	us
$t_{WK(BUSREC)}$	总线隐性唤醒时间	STB = V_{IO}	0.5		1.8	us
$t_{TO(WK)BUS}$	总线唤醒超时时间	STB = V_{IO}	0.8		9	ms
$t_{FLTR(WK)BUS}$	总线唤醒滤波时间	STB = V_{IO}			1.8	us
模式转换						
$t_{D(STB-NRM)}$	从待机到正常模式切换时间				-50	us
$t_{STARTUP(RXD)}$	RXD 启动时间	检测到唤醒后（注 5）	4		20	us

6.4 开关特性（注 7）（续）

除非另有说明，否则T_J = -40℃ 至 +150℃；V_{CC} = 4.5V 至 5.5V；V_{IO} = 2.9V 至 5.5V；R_L = 60Ω；C_L = 100pF；典型值在 V_{CC} = 5 V、V_{IO} = 3.3 V、T_A = 25℃ 条件下测得。

符号	参数	测试条件	最小值	典型值	最大值	单位
I/O 滤波器；STB 引脚（注 6）						
$t_{FLTR(IO)}$	IO 滤波时间	在 STB 引脚上	5		15	us

注 1：未在生产中测试；由设计保证。

注 2：符合参数集 C 的要求意味着也符合参数集 A（$t_{BIT(TXD)}$) ≥ 500 ns，最高 2 Mbit/s）和 B（$t_{BIT(TXD)}$) ≥ 200 ns，最高 5 Mbit/s）的要求。

注 3：超时发生在最小值和最大值之间。在低于最小值时，确保不会发生超时；在高于最大值时，确保会发生超时。

注 4：持续时间短于最小值的显性/隐性脉冲，保证不会被识别为显性/隐性位；持续时间长于最大值的显性/隐性脉冲，保证会被识别为显性/隐性位。

注 5：当检测到唤醒信号时，RXD 启动时间介于最小值和最大值之间。低于最小值时，RXD 不可靠；高于最大值时，RXD 才可靠；参见图 9-2。

注 6：脉冲宽度低于最小值的脉冲保证会被滤除；高于最大值的脉冲保证会被处理。

注 7：在无 VIO 型号中，V_{IO} = V_{CC}。

7 参数测量信息

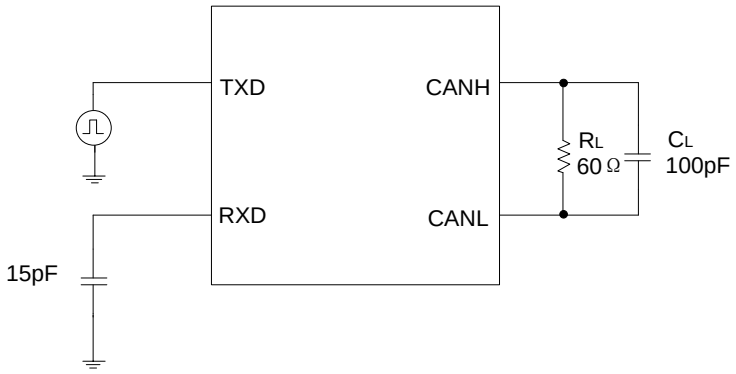


图 7-1. CAN 收发器的时序测试电路

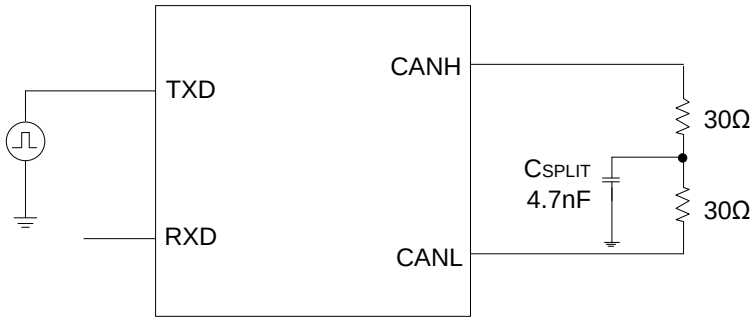


图 7-2. 用于测量驱动器对称性的测试电路

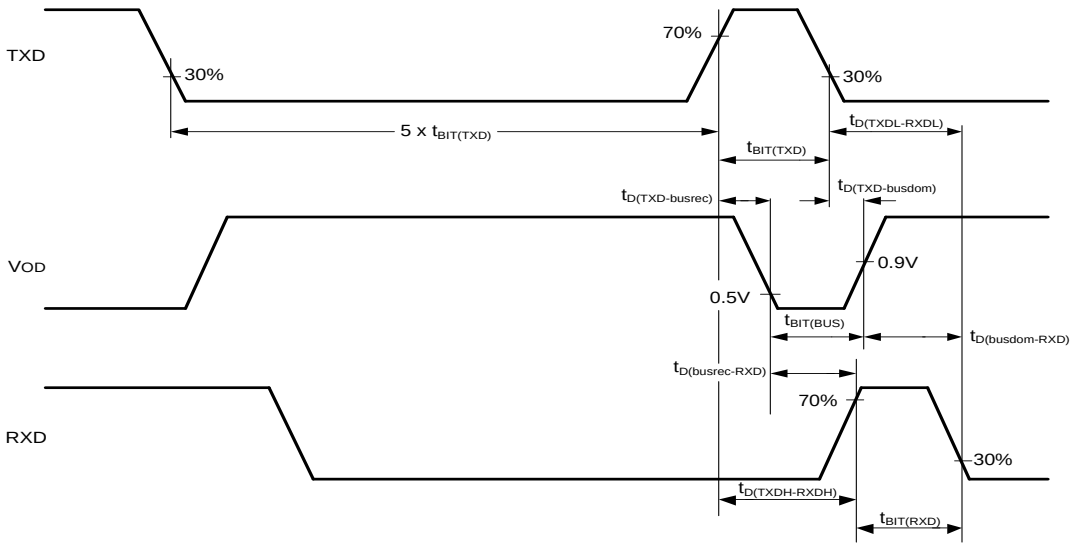


图 7-3. 符合 ISO 11898-2:2024 标准的 CAN 收发器时序图

7 参数测量信息（续）

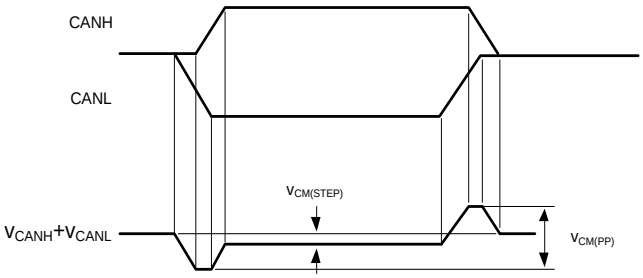
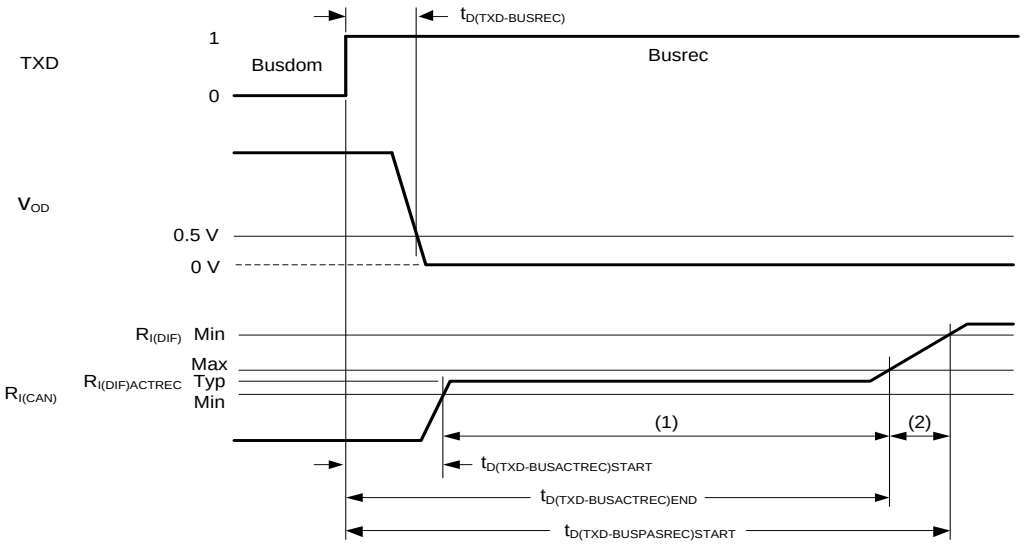


图 7-4. 符合 SAE 1939-14 标准的 CAN 总线共模电压



注 1：(1) 主动隐性阶段 (2) 释放阶段。

图 7-5. 驱动器阻抗与显性至被动隐性转换时序图（依据 ISO 11898-2:2024 参数集 C）

8 框图

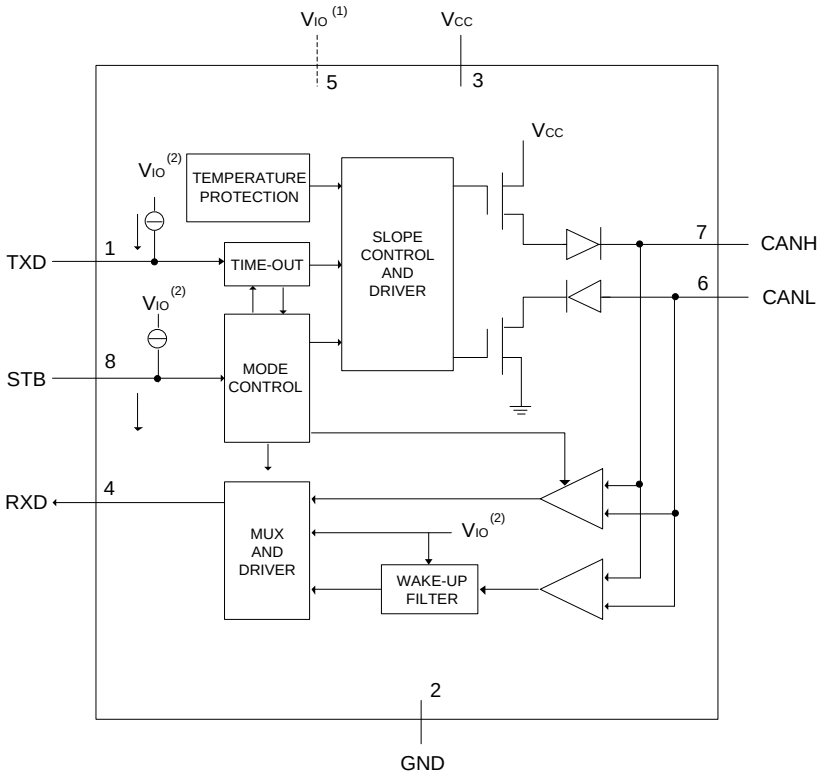


图 8-1. 框图

注 1：在无 VIO 产品型号中，第 5 引脚未连接。
注 2：在无 VIO 产品型号中，$V_{IO} = V_{CC}$。

9 详细说明

9.1 工作模式

UMCAN1472 支持三种工作模式：正常、待机和关断模式。工作模式通过 STB 引脚选择。有关正常供电条件下的工作模式说明，请参见下表。

模式	输入		输出	
	STB 引脚	**引脚 TXD**	**CAN 驱动器**	**引脚 RXD**
正常	低电平	低电平	显性	低电平
		高电平	隐性	总线显性时为低电平
				总线隐性时为高电平
待机	高电平	X（注 1）	偏置到地	检测到唤醒时跟随总线
				未检测到唤醒时为高电平
关断	X	X	高阻态	高阻态

注1：“X” = 无关。

9.1.1 正常模式

当引脚 V_{CC} 上的电源电压高于待机欠压检测阈值 $V_{UVD(STB)(VCC)}$，引脚 STB 上的低电平选择正常模式。此外，对于 UMCAN1472V 型号，V_{IO} 必须高于关断欠压检测阈值 $V_{UVD(SWOFFVIO)}$。

在此模式下，收发器可通过总线线路 CANH 和 CANL 发送和接收数据（参见图 8-1 的框图）。 差分接收器将总线上的模拟数据转换为引脚 RXD 上的数字数据。总线输出信号的斜率由内部控制，并以保证最低可能 EME 的方式进行优化。为了支持高比特率（特别是在 CAN FD 系统中），信号改善功能在很大程度上消除了与拓扑相关的反射和阻抗失配。在隐性状态下，总线引脚上的输出电压为 $V_{CC}/2$。

9.1.2 待机模式

引脚 STB 为高电平选择待机模式。在此模式下，收发器无法通过总线线路发送或正确接收数据。驱动器和正常模式接收器模块被关闭以减少电源电流，仅由一个低功耗差分接收器监视总线线路的活动状态。在待机模式下，总线线路偏置到地以最小化系统电源电流。低功耗接收器由 V_{IO} 供电，即使 V_{IO} 是唯一的可用电源电压，也能检测 CAN 总线活动。检测到唤醒请求后，RXD 引脚将跟随总线。当 STB 被强制为低电平时，触发转换为正常模式。

9.1.3 关断模式

当电源电压（UMCAN1472V 中的 V_{IO} 引脚， UMCAN1472N 中的 V_{CC} 引脚）降至关断欠压阈值（$V_{UVD(SWOFF)VIO}$ 或 $V_{UVD(SWOFF)VCC}$ ）以下时，UMCAN1472 从任何模式切换到关断模式。这是首次连接电源时的默认模式。在关断模式下，CAN 引脚和 RXD 引脚处于高阻抗状态。

9.1.4 工作模式与无间隙运行

无间隙运行保证了在所有电压水平下都具有明确的行为。图 9-1 详细说明了电源电压与工作模式的对应关系。

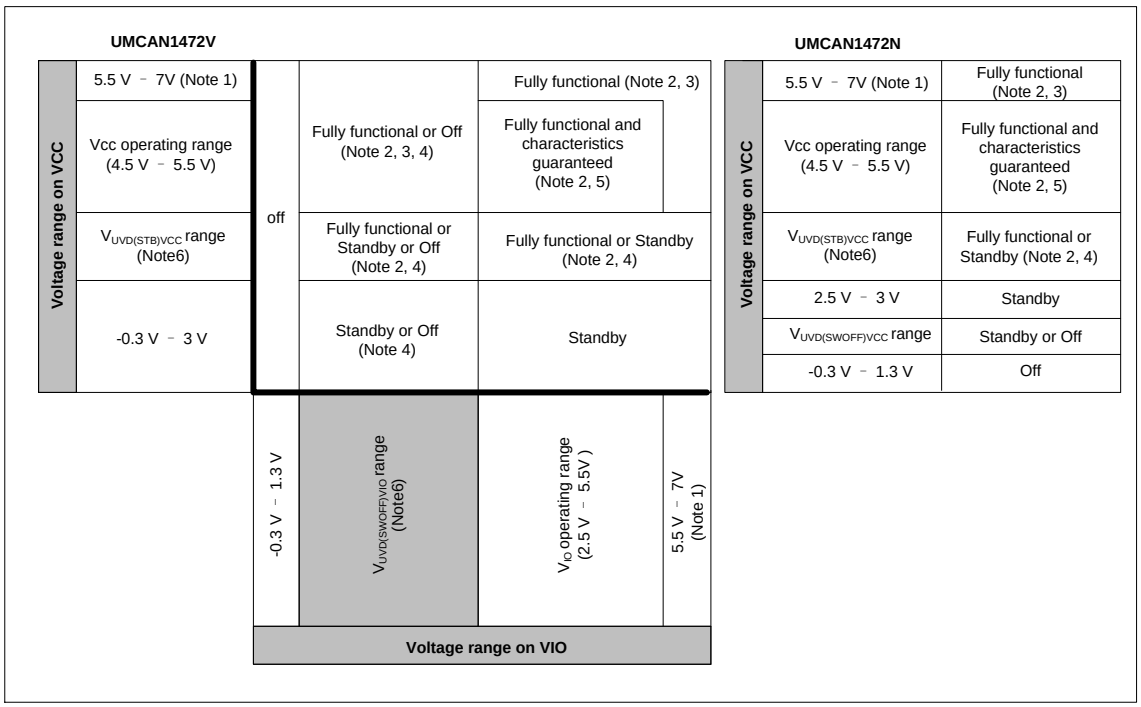


图 9-1. 电源电压范围与无间隙运行

注 1：最大电压不能超过 7 V。
注 2：本数据手册中描述的目标收发器功能适用。
注 3：器件长时间在工作范围以外运行，可能会影响整个寿命期内的可靠性。在返回工作范围后，只要未超过绝对最大额定值（AMR），数据手册中的特性仍得到保证。
注 4：对于给定的 V_{IO} 值，特定器件将处于由其欠压检测阈值（$V_{UVD(STB)VCC}$ 和 $V_{UVDSWOFFVIO}$）决定的单一确定状态。实际阈值可能因器件而异（但均在本数据手册规定的范围内）。为确保器件处于特定状态，V_{IO}和 V_{CC} 必须高于或低于这些欠压检测范围所规定的最大或最小阈值。
注 5：在 V_{CC}和 V_{IO} 工作范围内，数据手册中的特性得到保证。例外情况在静态和动态特性表中描述。
注 6：以下内容适用于 UMCAN1472：

- 如果 V_{CC}和 V_{IO} 均高于欠压阈值，则器件功能完全正常。
- 如果 V_{CC} 低于欠压阈值而 V_{IO} 高于欠压阈值，则器件处于待机模式。
- 如果 V_{IO} 低于欠压阈值，无论V_{CC}如何，器件处于关断模式。

9.2 远程唤醒（通过 CAN 总线）

当总线上检测到专用的唤醒模式（ISO 11898-2:2024 中规定）时，UMCAN1472 将从待机模式唤醒。此滤波有助于避免虚假唤醒事件。虚假唤醒序列可能由以下情况触发：总线处于钳位状态且总线显性，或因总线上的噪声或尖峰电压导致总线显性阶段出现。
唤醒模式包括：

- 至少持续 $t_{WK(BUSDOM)}$的显性阶段 随后是
- 至少持续 $t_{WK(BUSREC)}$的隐性阶段. 随后是
- 至少持续 $t_{WK(BUSDOM)}$的显性阶段

上述阶段之间，若显性或隐性位持续时间分别短于 $t_{WK(BUSDOM)}$和 $t_{WK(BUSREC)}$，则被忽略。必须在 $t_{TO(WK)BUS}$ 内接收到完整的“显性-隐性-显性”模式，才能被识别为有效的唤醒模式。否则，内部唤醒逻辑被复位。此时需重新发送完整的唤醒模式以触发唤醒事件。在唤醒事件被触发之前，RXD 引脚保持高电平。
检测到唤醒序列后，UMCAN1472 将保持在待机模式，总线信号将在 $t_{STARTUP(RXD)}$ 后反映在 RXD 引脚上。请注意，持续时间少于 $t_{(FLTR(WK)BUS)}$ 的显性阶段或隐性阶段将不会被低功耗差分接收器检测到，也不会反映在待机模式下的 RXD 上。
如果在接收有效唤醒模式期间发生以下任何情况，则不会在 RXD 上标记唤醒事件：

- 器件切换至正常模式
- 未在 $t_{TO(WK)BUS}$ 内接收到完整的唤醒模式
- 检测到 V_{CC} 或 V_{IO} 欠压（V_{CC}< $V_{UVDSWOFFVCC}$ 或 V_{IO}< $V_{(UVD)(SWOFF)VIO}$；参见 9.3.3）

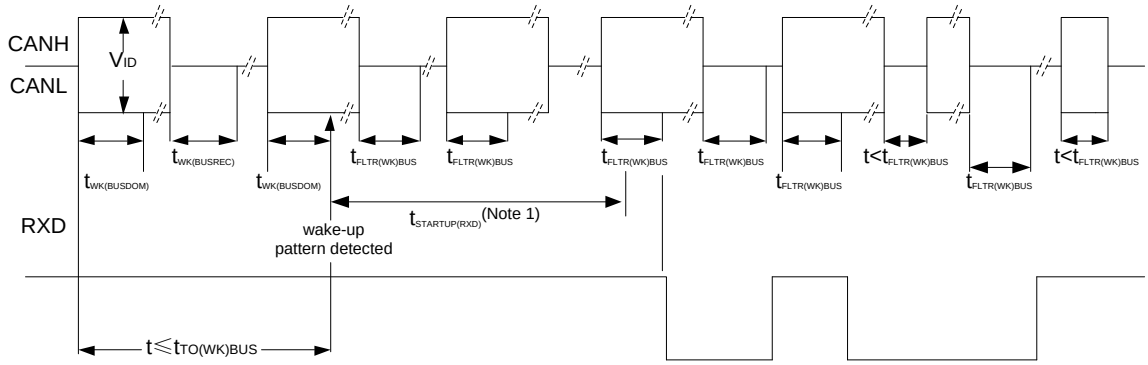


图 9-2. 唤醒时序

注 1：在 $t_{STARTUP(RXD)}$ 期间，低功耗接收器处于开启状态，不活动（即高电平/隐性）。在 $t_{STARTUP(RXD)}$ 结束后，宽度 ≥ $t_{FLTR(WK)BUS}$ 的第一个显性脉冲将触发 RXD 变为低电平/显性。

9.3 失效防护功能

9.3.1 TXD 显性超时功能

当 TXD 引脚被置为低电平时， “TXD 显性超时”定时器启动。如果该引脚的低电平状态持续时间超过 $t_{TO(DOM)TXD}$，则驱动器将被禁用，总线线路将释放为隐性状态。此功能可防止硬件和/或软件应用程序故障导致总线线路进入永久显性状态（阻塞所有网络通信）。 当 TXD 引脚被置为高电平时，TXD 显性超时定时器被复位。

9.3.2 TXD 和 STB 输入引脚的内部偏置

TXD 和 STB 引脚内部上拉至 V_{CC} 对于（带 V_{IO} 引脚的型号上拉至 V_{IO})），以确保在其中一个或两个引脚悬空时处于安全、确定的状态。在所有状态下，这些引脚中都会流过上拉电流；在待机模式下，应将这两个引脚均保持为高电平，以最小化电源电流。

9.3.3 V_{CC} 和 V_{IO} 引脚的欠压检测

如果 V_{CC} 降至待机欠压检测阈值 $V_{UVD(STB)}$ 以下，收发器将切换至待机模式。 STB 引脚逻辑状态将被忽略，直至 V_{CC} 恢复。
在带 V_{IO} 引脚的版本中，如果 V_{IO} 降至关断欠压检测阈值 ($V_{UVD(SWOFF)VIO}$)以下，收发器将关闭并从总线断开（高阻态），直至 V_{IO} 恢复。
在无 V_{IO} 引脚的版本中，如果 V_{CC} 降至关断欠压检测阈值（$V_{UVD(SWOFF)VCC}$）以下，收发器将关闭并从总线断开（高阻态），直至 V_{CC} 恢复。

9.3.4 过温保护

输出驱动器具有过温保护功能。如果虚拟结温超过关断结温 $T_{J(SD)}$，两个输出驱动器均将被禁用。当虚拟结温再次降至 $T_{J(SD)}$ 以下时，一旦 TXD 被复位为高电平，输出驱动器就会恢复。计入 TXD 条件可防止因微小温度波动导致的输出驱动器振荡。

9.3.5 VIO 电源引脚（UMCAN1472VS8 和 UMCAN1472VDA 型号）

引脚 V_{IO} 应连接至微控制器电源电压。这将调整 TXD、RXD 和 STB 引脚的信号电平，与微控制器 I/O 电平一致。引脚 V_{IO} 还为收发器中的低功耗差分接收器提供内部电源电压。 对于在低功耗模式下运行的应用，即使 V_{CC} 引脚上没有电源电压，也允许监视总线线路上的活动。

对于无 V_{IO} 引脚的 UMCAN1472 型号，所有电路都连接到 V_{CC}（引脚 5 未连接）。此时，TXD、RXD 和 STB 引脚的信号电平与 5 V 微控制器兼容。这使得该器件能够与 3.3 V 和 5 V 供电的微控制器进行接口连接，前提是微控制器的 I/O 能够耐受 5 V 电压。

9.4 信号改善

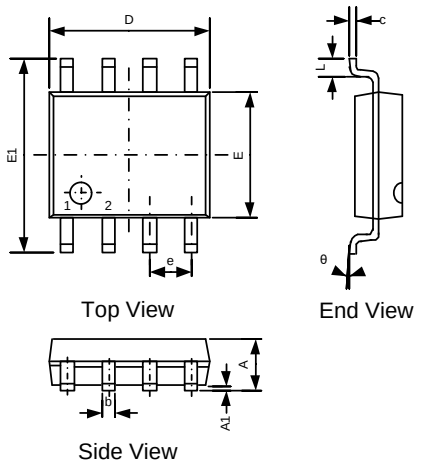
信号改善功能是 CAN FD 收发器的附加功能，通过最小化信号振铃来提高复杂星型拓扑中可实现的最大数据速率。信号振铃是由于 CAN 网络中因充当短截线的节点引起的阻抗不匹配而在各点产生反射的结果。

隐性到显性的信号边沿通常是干净的，因为此边缘由驱动器强力驱动。CAN 收发器的驱动器输出阻抗约为 50 Ω，与网络特征阻抗匹配。对于常规 CAN FD 收发器，当驱动器输出阻抗变为约 60 kΩ ，且反射回来的信号遇到阻抗不匹配而导致振铃时，会出现显性到隐性边沿。 UMCAN1472 通过基于 TX 的信号改善功能 (SIC) 解决了这一问题。该器件会继续驱动总线呈现隐性，直至 $t_{SIC\ (()TXD)BASE}$，以便反射衰减，并且采样点处的隐性位很干净。在主动隐性阶段，驱动器输出阻抗较低（约 100 Ω）。在该阶段结束并且器件进入被动隐性阶段之后，驱动器输出阻抗变为高阻态。有关该现象的说明，请参阅图 7-5。

10 封装信息

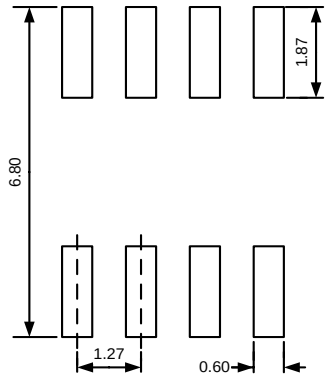
SOP8

Outline Drawing



DIMENSIONS						
Symbol	MILLIMETERS			INCHES		
	Min	Typ	Max	Min	Typ	Max
A	-	-	1.75	-	-	0.069
A1	0.00	-	0.25	0.000	-	0.010
b	0.30	-	0.51	0.012	-	0.020
c	0.15	-	0.25	0.006	-	0.010
D	4.70	4.90	5.10	0.185	0.193	0.200
E	3.70	3.90	4.10	0.148	0.154	0.164
E1	5.80	-	6.25	0.228	-	0.250
e	1.27BSC			0.050 BSC		
L	0.40	-	1.27	0.016	-	0.050
θ	0 °	-	8 °	0 °	-	8 °

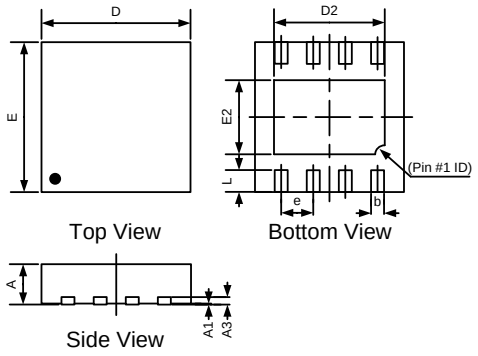
Land Pattern



NOTES:
1. Unit: mm;
2. General tolerance ±0.05mm unless otherwise specified;
3. The layout is just for reference.

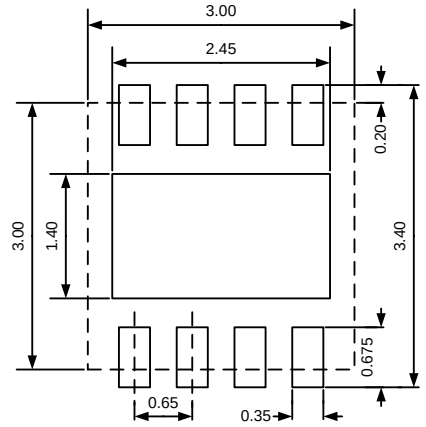
DFN8 3.0×3.0

Outline Drawing



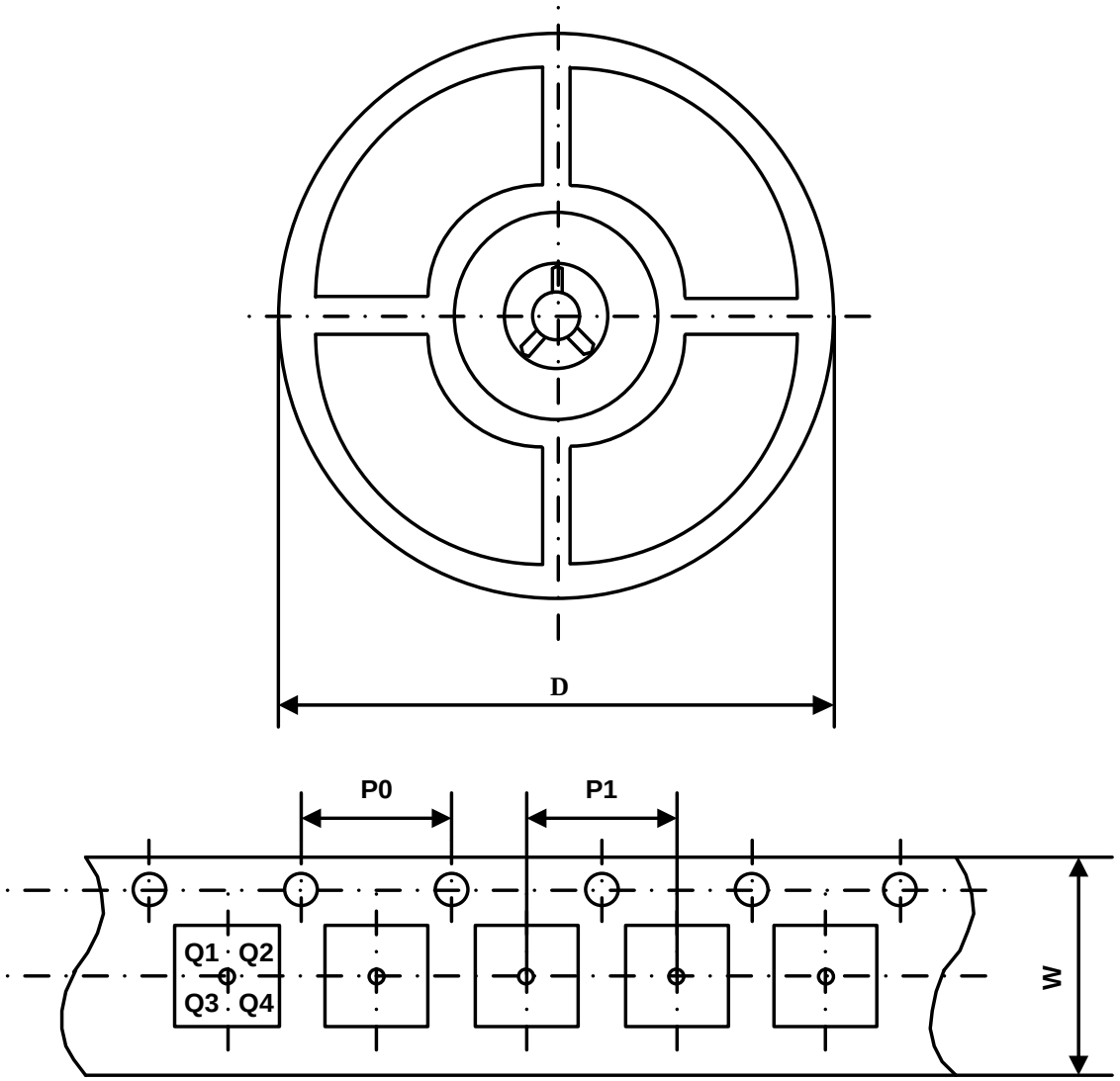
DIMENSIONS						
Symbol	MILLIMETERS			INCHES		
	Min	Typ	Max	Min	Typ	Max
A	0.57	-	0.80	0.022	-	0.031
A1	0.00	-	0.05	0.000	-	0.002
A3	0.20REF			0.008REF		
b	0.20	-	0.35	0.008	-	0.014
D	2.90	3.00	3.10	0.114	0.118	0.122
D2	2.15	-	2.60	0.085	-	0.104
E	2.90	3.00	3.10	0.114	0.118	0.122
E2	1.40	-	1.75	0.055	-	0.069
e	0.65BSC			0.026BSC		
L	0.30	-	0.60	0.012	-	0.024

Land Pattern



NOTES:
1. Unit: mm;
2. General tolerance ±0.05mm unless otherwise specified;
3. The layout is just for reference.

11 包装信息



Part Number	Package Type	Carrier Width (W)	Pitch (P0)	Pitch (P1)	Reel Size (D)	PIN 1 Quadrant
UMCAN1472VS8	SOP8	12 mm	4 mm	8 mm	330 mm	Q1
UMCAN1472VDA	DFN8 3.0×3.0	12 mm	4 mm	8 mm	330 mm	Q1
UMCAN1472NS8	SOP8	12 mm	4 mm	8 mm	330 mm	Q1
UMCAN1472NDA	DFN8 3.0×3.0	12 mm	4 mm	8 mm	330 mm	Q1

绿色合规

盈力半导体在运营各环节始终坚守环保卓越标准，确保在有害物质使用方面满足或超越各项法规要求。公司已成功推行多项管控方案，持续减少有害物质使用与排放。

盈力全系列元器件均符合 RoHS 指令要求，助力客户满足各项环保法规。如需了解更多绿色合规信息，敬请访问：https://www.union-ic.com/Quality.html

重要声明

本文档所含信息均经仔细审核，据信准确可靠。但本文档如有变更，恕不另行通知。盈力半导体不对文档中可能存在的任何信息误差承担责任，亦不承诺对文档内容进行更新、保持信息时效性，或向任何个人及机构告知相关变更。为提升产品可靠性、功能及优化设计，力求提供最优产品，本公司保留随时进行产品及相关资料修改调整的权利。